

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001352011
PUBLICATION DATE : 21-12-01

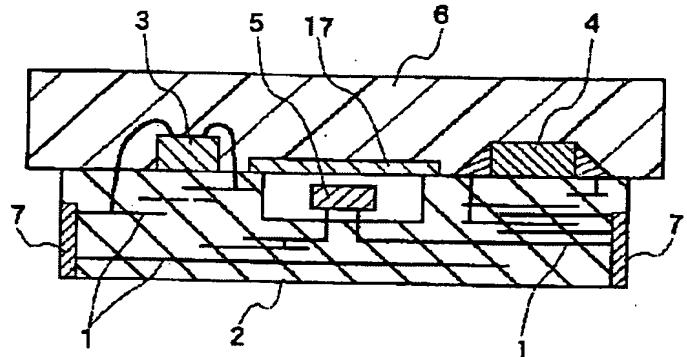
APPLICATION DATE : 08-06-00
APPLICATION NUMBER : 2000172566

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : MATSUMURA TSUTOMU;

INT.CL. : H01L 23/28 H01L 21/56 H01L 23/12
H01L 23/13 H01L 25/16 H05K 3/46

TITLE : ELECTRONIC COMPONENT AND ITS
MANUFACTURING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide electronic components, that prevent cracks and cutouts from easily being generated, and has the large binding strength between resin and ceramics in the electronic components, where chips are packaged on a lamination ceramic element, and to provide the manufacturing method of the electronic components.

SOLUTION: On a laminated ceramic element 2 where a transmission line, an inductor, a capacitor, and the like are formed inside by an internal conductor 1, a semiconductor element 3, chips 4, or the like is packaged. Depending on the situation, a small cavity is formed, and a surface acoustic wave element 5 is packaged. The parts are sealed by an electrical insulation resin 6. The outer periphery of the insulation resin is set larger than that of the laminated ceramic element, thus preventing the cracks and cutouts from easily being generated, even if force is applied to a fragile ceramic part from the outside.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-352011

(P2001-352011A)

(43)公開日 平成13年12月21日 (2001.12.21)

(51)Int.Cl.⁷
H 0 1 L 23/28
21/56
23/12
23/13
25/16

識別記号

F I
H 0 1 L 23/28
21/56
25/16
H 0 5 K 3/46

マークド⁸(参考)
J 4 M 1 0 9
R 5 E 3 4 6
A 5 F 0 6 1
H
Q

審査請求 未請求 請求項の数 9 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-172566(P2000-172566)

(22)出願日 平成12年6月8日 (2000.6.8)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 加賀田 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 川北 晃司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

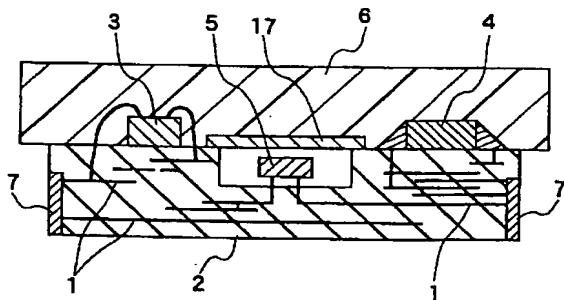
最終頁に続く

(54)【発明の名称】 電子部品およびその製造方法

(57)【要約】

【課題】積層セラミック素子上にチップ部品が実装された電子部品において、割れやかけなどが発生しにくく、樹脂とセラミックスの接着強度が高い電子部品とその製法を提供する。

【解決手段】内部導体1により伝送線路、インダクタ、コンデンサなどが内部に形成された積層セラミック素子2の上に、半導体素子3またはチップ部品4などが実装されている。場合により小さなキャビティが形成され、弾性表面波素子5が実装されている。それらの部品は電気絶縁樹脂6により封止されている。この絶縁樹脂の外周を積層セラミック素子の外周より大きくすることにより、脆いセラミック部分に外部から力がかかっても割れやかけが発生しにくい。



【特許請求の範囲】

【請求項1】電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子の外周寸法より、前記絶縁樹脂の外周寸法の方が大きいことを特徴とする電子部品。

【請求項2】電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された弹性表面波素子および半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子の外周寸法より、前記絶縁樹脂の外周寸法の方が大きいことを特徴とする電子部品。

【請求項3】電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子が前記絶縁樹脂の内部に入り込んでいることを特徴とする電子部品。

【請求項4】電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された弹性表面波素子および半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子が前記絶縁樹脂の内部に入り込んでいることを特徴とする電子部品。

【請求項5】前記積層セラミック素子のセラミック材料が、酸化アルミ、酸化マグネシウム、酸化ケイ素および希土類酸化物より選ばれる酸化物を主成分とする少なくとも一種以上の化合物からなる結晶成分とガラス成分からなる請求項1～4のいずれかに記載の電子部品。

【請求項6】電極により形成された回路素子を内部に含む積層セラミック素子を複数個整列させ、固定し、前記積層セラミック素子に半導体素子を含むチップ部品を実装した集合基板を、未硬化の電気絶縁樹脂を所定量満たした容器に、前記集合基板の前記半導体素子が実装された面を下向きにして、前記半導体素子が完全に埋まり込む位置以上に深く前記未硬化の絶縁樹脂に浸した状態で、前記樹脂を硬化させた後、個片に分割することを特徴とする電子部品の製造方法。

【請求項7】電極により形成された回路素子を内部に含む積層セラミック素子を複数個整列させ、固定し、前記積層セラミック素子の上面に半導体素子を含むチップ部品を実装した集合基板を、未硬化の電気絶縁樹脂を所定量満たした容器に、前記集合基板の前記半導体素子が実装された面を下向きにして、前記半導体素子が埋まり込む位置以上に深く前記未硬化の電気絶縁樹脂に浸した状態で、前記樹脂を硬化させた後、個片に分割し、さら

に前記樹脂を本硬化させることを特徴とする電子部品の製造方法。

【請求項8】電極により形成された回路素子を内部に含む積層セラミック素子の集合基板を、複数個の突起部が形成された板に接着し、前記集合基板のみを個片へ切断した後、必要に応じてメッキ、チップ実装、樹脂埋めを行った後、前記突起部が形成された板からの剥離を行うことを特徴とする電子部品の製造方法。

10 【請求項9】電極により形成された回路素子を内部に含む積層セラミック素子の集合基板上に、半導体素子を含むチップ部品を実装、樹脂埋めしたのち、端子電極をメッキ処理することを特徴とする電子部品の製造法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品、特に少なくとも片面に半導体などのチップ部品が実装された積層セラミック素子を含む電子部品およびその製造方法に関するものである。

【0002】

20 【従来の技術】近年、セラミックスの積層技術を応用した電子部品が広く用いられている。特に、積層セラミック素子と半導体素子あるいは弹性表面波素子を組み合わせた複合積層デバイスの需要が急激に高くなっている。

【0003】従来の複合積層デバイスは、特開平11-97583号公報に開示されているように、電極により形成された回路素子を内部に含み、キャビティが形成された積層セラミック素子のキャビティ部に半導体素子を実装し、電気絶縁樹脂でキャビティを埋め、半導体素子を封止した構造となっている。セラミック材料としては、ほとんどの場合アルミナが用いられる。このデバイスの製造方法としては、キャビティ形成用の穴を打ち抜いたセラミックグリーンシートを用いてキャビティを有する積層セラミック素子を製造し、半導体素子をキャビティ部にワイヤーボンドなどで実装し、封止樹脂をディスペンサなどでキャビティ部に注入する方法が採用される。

【0004】

【発明が解決しようとする課題】しかしながら、上記構造のデバイスの場合、セラミックスに大きなキャビティが形成されているため、キャビティの壁の部分が破損しやすい、実装面積が小さくなる、などの課題があった。特に、セラミックスとして、低温焼結のガラスセラミックスを用いると強度が低いため、キャビティの壁の部分が破損する割合が格段に高くなつた。

【0005】また、上記構造のデバイスを製造するには、キャビティを形成するためにグリーンシートを打ち抜く工程が必須となる、さらにキャビティ部に個々に樹脂を注入する工程が必要となるため、製造プロセスが複雑かつ製造設備が大がかりとなる、打ち抜きシートの無駄が発生するなどの課題があった。キャビティを形成しないと、半導体封止用の樹脂が必要以上に広がって他の

部品の実装面積が小さくなってしまう課題があった。

【0006】本発明は、上記の課題を解決し、簡便な方法で優れた小型の複合積層デバイスを提供すること目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明は以下の構成とするものである。

【0008】電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子の外周寸法より、前記絶縁樹脂の外周寸法の方が大きい構造とする。

【0009】また、電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された弾性表面波素子および半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子の外周寸法より、前記絶縁樹脂の外周寸法の方が大きい構造とする。

【0010】また、電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子が前記絶縁樹脂の内部に入り込んでいる構造とする。

【0011】また、電極により形成された回路素子を内部に含む積層セラミック素子、前記積層セラミック素子に実装された弾性表面波素子および半導体素子、および前記半導体素子を埋める電気絶縁樹脂により少なくとも構成される電子部品において、前記積層セラミック素子が前記絶縁樹脂の内部に入り込んでいる構造とする。

【0012】さらに、前記積層セラミック素子のセラミック材料が、酸化アルミ、酸化マグネシウム、酸化ケイ素、および希土類酸化物より選ばれる酸化物を主成分とする少なくとも一種以上の化合物からなる結晶成分とガラス成分からなる構成とする。

【0013】前記構造の電子部品の製造方法として、電極により形成された回路素子を内部に含む積層セラミック素子を複数個整列させ、固定し、前記積層セラミック素子に半導体素子などのチップ部品を実装した集合基板を、未硬化の電気絶縁樹脂を所定量満たした容器に、前記集合基板の前記半導体素子が実装された面を下向きにして、前記半導体素子が完全に埋まり込む位置以上に深く前記未硬化の電気絶縁樹脂に浸した状態で、前記樹脂を硬化させた後、個片に分割することにより製造する。

【0014】また、電極により形成された回路素子を内部に含む積層セラミック素子を複数個整列させ、固定し、前記積層セラミック素子の上面に半導体素子などのチップ部品を実装した集合基板を、未硬化の電気絶縁樹

脂を所定量満たした容器に、前記集合基板の前記半導体素子が実装された面を下向きにして、前記半導体素子が埋まり込む位置以上に深く前記未硬化の電気絶縁樹脂に浸した状態で、前記樹脂を半硬化させた後、個片に分割し、さらに前記樹脂を本硬化させることにより製造する。

【0015】また、電極により形成された回路素子を内部に含む積層セラミック素子の集合基板を、複数個の突起部が形成された板に接着し、前記集合基板のみを個片へ切断した後、必要に応じてメッキ、チップ実装、樹脂埋め、前記突起部が形成された板からの剥離を行うことにより製造する。

【0016】また、電極により形成された回路素子を内部に含む積層セラミック素子の集合基板上に、半導体素子などのチップ部品を実装、樹脂埋めしたのち、端子電極をメッキ処理することにより製造する。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0018】(実施の形態1) 図1に、本発明の一実施形態による複合積層デバイスの断面図を示す。内部導体1により伝送線路、インダクタ、コンデンサなどが内部に形成された積層セラミック素子2の上に、半導体素子3、またはチップ部品4などが実装されている。場合により、小さなキャビティが形成され、弾性表面波素子5が実装されている。それらの部品は電気絶縁樹脂6により封止されている。この電気絶縁樹脂の外周が積層セラミック素子の外周より大きい構造となっているので、脆いセラミック部分に外部から力がかかる割れやかけが発生する確率が激減する。また、樹脂のだれ防止のための壁がない構造となっており、チップ実装面積を大きくできるので、素子の小型化に大きく貢献できる。外部回路との接続のため、側面部分に端子電極7が形成される。17は金属製キャップである。

【0019】内部導体としては、W、Mo、Au、Ag、Cu、Pd、Ptなどが用いられるが、特に限定されない。積層セラミック素子の材料としては、高温焼成タイプ(焼成温度1600°C)のもの、あるいは低温焼成タイプ(焼成温度900°C)のものいずれでもよい。高温焼成タイプとしては、アルミナを主成分とするものが望ましいが、特に限定されない。低温焼成タイプとしては、アルミナ系、フォルステライト系、Al₂O₃-MgO-希土類酸化物系の化合物にはう珪酸系ガラスを添加したガラスーセラミックタイプのものとBi₂O₃-Nb₂O₅系の非ガラスタイプのものが適用でき、特に限定されるものではないが、Al₂O₃-MgO-希土類酸化物系化合物にガラスを添加したものは、機械的強度、比誘電率の温度特性に優れ、特に望ましい。積層セラミック素子の内部に形成される回路素子として、伝送線路とインダクタとコンデンサを組み合わせた各種フィルタ、カップラ、バラン、位相器などが形成可能で

ある。半導体素子としては、ダイオードスイッチや論理ICなどが適応可能で、ペアチップでの実装も可能である。弾性表面波素子としては、リチウムタンタレイト、リチウムナイオペイト、水晶、ランガサイト系の圧電基板を用いたフィルタが使用される。積層セラミック素子上に実装されるチップ部品としては、コンデンサ、インダクタ、抵抗などが使用される。電気絶縁樹脂としては、エポキシ系の熱硬化性ものが通常用いられるが、特に限定されない。端子電極の表面は、必要に応じて半田やAuなどがメッキされる。端子電極の形態も、図1のように側面に取り出してもよいし、底面に取り出してもよい。底面に取り出す場合には、端子電極の上に半田ボールをくっつけ、実装性を確保する場合もある。

【0020】(実施の形態2) 図2に、本発明の一実施形態による複合積層デバイスの断面図を示す。内部導体1により伝送線路、インダクタ、コンデンサなどが内部に形成された積層セラミック素子2の上に、半導体素子3、あるいはチップ部品4などが実装されている。場合により、小さなキャビティが形成され、弾性表面波素子5が実装されている。それらの部品は電気絶縁樹脂6により封止されている。この電気絶縁樹脂に積層セラミック素子がめり込んだ状態になっているため、樹脂とセラミックス部分の接着強度が向上する。セラミックス素子のエッジ部が樹脂で覆われているため、チッピングなどの不良が発生しにくい。外部回路との接続のため、側面部分に端子電極7が形成される。

【0021】内部導体としては、W、Mo、Au、Ag、Cu、Pd、Ptなどが用いられるが、特に限定されない。積層セラミック素子の材料としては、高温焼成タイプ(焼成温度1600°C)のもの、または低温焼成タイプ(焼成温度900°C)のものいずれでもよい。高温焼成タイプとしては、アルミナを主成分とするものが望ましいが、特に限定されない。低温焼成タイプとしては、アルミナ系、フォルステライト系、Al₂O₃-MgO-希土類酸化物系の化合物にほう硅酸系ガラスを添加したガラス-セラミックタイプのものとBi₂O₃-Nb₂O₅系の非ガラスタイプのものが適用でき、特に限定されるものではないが、Al₂O₃-MgO-希土類酸化物系化合物にガラスを添加したものは、機械的強度、比誘電率の温度特性に優れ、特に望ましい。積層セラミック素子の内部に形成される回路素子として、伝送線路とインダクタとコンデンサを組み合わせた各種フィルタ、カップラ、バラン、位相器などが形成可能である。半導体素子としては、ダイオードスイッチや論理ICなどが適応可能で、ペアチップでの実装も可能である。弾性表面波素子としては、リチウムタンタレイト、リチウムナイオペイト、水晶、ランガサイト系の圧電基板を用いたフィルタが使用される。積層セラミック素子上に実装されるチップ部品としては、コンデンサ、インダクタ、抵抗などが使用される。電気絶縁樹脂としては、エポキシ系の熱硬化性ものが通常用いられるが、特

に限定されない。端子電極の表面は、必要に応じて半田やAuなどがメッキされる。端子電極の形態も、図1のように側面に取り出してもよいし、底面に取り出してもよい。底面に取り出す場合には、端子電極の上に半田ボールをくっつけ、実装性を確保する場合もある。

【0022】(実施の形態3) 図3に、本発明の一実施形態における電子部品の製造方法を示す。まず、誘電体セラミックスのグリーンシートを用意する。ピアホールおよびキャビティなどの形成用の穴をパンチング、ドリルなどにより開ける。次に、所定の位置に所定の導体パターンを印刷法などにより形成する。所定量積み重ね、加圧してグリーンシート同士を圧着させる。個片に切断後、所定の温度で焼結させる。必要に応じて、端子電極や表層の導体を、焼き付けや蒸着などにより形成する。さらに、必要に応じて、Ni-半田やNi-Auメッキなどを施す。得られた積層セラミック素子上に、半導体、弾性表面波素子、抵抗やコンデンサなどのチップ部品を実装する。弾性表面波素子は、キャップなどにより気密封止処理を行う。部品が実装された積層セラミック素子の非実装面を粘着シートの貼られたパレットなどに接着し、整列させて保持する。図4に示したように、パット11に未硬化のエポキシ系などの樹脂12を所定量流し込み、前記積層セラミック素子を接着したパレット13のチップ実装面14を下に向け、前記パットに溜めた樹脂に実装したチップ部品が完全に埋まり込む位置以上に深く浸した状態で固定する。熱処理などで樹脂を硬化させた後、ブレイク、ダイシングなどにより樹脂部を切断して個片にし、完成品とする。16は半導体チップである。

【0023】この方法によれば、樹脂のだれを防止するためにキャビティを形成したり、素子個片毎に樹脂埋めする必要がないため、大量の積層セラミック素子を簡単に、かつ安価な方法で樹脂埋めできる。

【0024】(実施の形態4) 図5に、本発明の一実施形態における電子部品の製造方法を示す。まず、誘電体セラミックスのグリーンシートを用意する。ピアホールおよびキャビティなどの形成用の穴をパンチング、ドリルなどにより開ける。次に、所定の位置に所定の導体パターンを印刷法などにより形成する。所定量積み重ね、加圧してグリーンシート同士を圧着させる。個片に切断後、所定の温度で焼結させる。必要に応じて、端子電極や表層の導体を、焼き付けや蒸着などにより形成する。さらに、必要に応じて、Ni-半田やNi-Auメッキなどを施す。得られた積層セラミック素子上に、半導体、弾性表面波素子、抵抗やコンデンサなどのチップ部品を実装する。弾性表面波素子は、キャップなどにより気密封止処理を行う。部品が実装された積層セラミック素子の非実装面を粘着シートの貼られたパレットなどに接着し、整列させて保持する。図4に示したように、パットに未硬化のエポキシ系などの樹脂を所定量流し込み、前記積層セラミック素子を接着したパレットのチップ実装面を下

に向け、前記バットに溜めた樹脂に実装したチップ部品が完全に埋まり込む位置以上に深く浸した状態で固定する。熱処理などで樹脂を半硬化させた後、カッターなどにより樹脂部を切断して個片にする。さらに熱処理にて本硬化させ完成品とする。

【0025】この方法によれば、樹脂のだれを防止するためにキャビティを形成したり、素子個片毎に樹脂埋めする必要がないため、大量の積層セラミック素子を簡単に、かつ安価な方法で樹脂埋めできる。また、樹脂を半硬化状態で切断できるので、切断に要する時間を大幅に低減でき、量産性が向上する。

【0026】(実施の形態5) 図6に、本発明の一実施形態における電子部品の製造方法を示す。まず、誘電体セラミックスのグリーンシートを用意する。ピアホールおよびキャビティなどの形成用の穴をパンチング、ドリルなどにより開ける。次に、所定の位置に所定の導体パターンを印刷法などにより形成する。導体パターンの形成されたグリーンシートを所定量積み重ね、加圧して圧着させ、必要に応じて周辺部を切断する。得られたグリーンシート積層体をそのまま所定の温度で焼結させる。得られた積層セラミック素子の集合基板を、図7に示したように突起部を持つキャリア板15時に接着し、ダイシングなどにより集合基板のみを個片に分割する。必要に応じて、Ni-半田やNi-Auメッキなどを施し、半導体、弹性表面波素子、抵抗やコンデンサなどのチップ部品を実装する。弹性表面波素子は、キャップなどにより気密封止処理を行う。次に図7に示したように、バット11に未硬化のエポキシ系などの樹脂12を所定量流し込み、前記積層セラミック素子の実装面14を下に向か、前記バットに溜めた樹脂に実装したチップ部品が完全に埋まり込む位置以上に深く浸した状態で固定する。熱処理等で樹脂を硬化させた後、樹脂部を切断後、キャリア板から素子を取り外し完成品とする。16は半導体チップである。

【0027】この方法によれば、個々の素子を集合基板のように取り扱えるため、工程の途中で再配列させる必要がなくなる。その結果、実装やメッキなどの工程が容易になり量産性が向上する。

【0028】(実施の形態6) 図8に、本発明の一実施形態における電子部品の製造方法を示す。まず、誘電体セラミックスのグリーンシートを用意する。ピアホールおよびキャビティなどの形成用の穴をパンチング、ドリルなどにより開ける。次に、所定の位置に所定の導体パターンを印刷法などにより形成する。導体パターンの形成されたグリーンシートを所定量積み重ね、加圧して圧着させ、必要に応じて周辺部を切断する。得られたグリーンシート積層体をそのまま所定の温度で焼結させる。得られた積層セラミック素子の集合基板に、必要に応じてNi-半田やNi-Auメッキなどを施し、半導体、弹性表面波素子、抵抗やコンデンサなどのチップ部品を実装す

る。弹性表面波素子は、キャップなどにより気密封止処理を行う。次に、エポキシ樹脂などを集合基板上に流し込んでチップ部品を埋め、硬化させて封止する。次に、ダイシングあるいはブレイクなどで個片に分割する。その後、むき出しになった端子電極部に、Ni-半田やNi-Auメッキなどを施し基板への実装性と実装後の信頼性を確保し、完成品とする。

【0029】この方法によれば、集合基板の状態でチップ部品の封止ができるので、工程が容易になり量産性が向上する。

【0030】

【発明の効果】本発明の少なくとも片面に半導体などのチップ部品が実装された積層セラミック素子を含む電子部品によれば、割れやかけなどが発生しにくく、樹脂とセラミックスの接着強度が高いなどの信頼性を高くすることができる。また、前記電子部品の製造方法によれば、工程が簡便で、量産性を高めることができる。

【図面の簡単な説明】

【図1】本発明の一実施例における電子部品の断面図である。

【図2】本発明の一実施例における電子部品の断面図である。

【図3】本発明の一実施例における電子部品の製造方法のフロー図である。

【図4】本発明の一実施例における電子部品の樹脂埋め工程の断面図である。

【図5】本発明の一実施例における電子部品の製造方法のフロー図である。

【図6】本発明の一実施例における電子部品の製造方法のフロー図である。

【図7】本発明の一実施例における電子部品の樹脂埋め工程の断面図である。

【図8】本発明の一実施例における電子部品の製造方法のフロー図である。

【符号の説明】

1 内部導体

2 積層セラミック素子

3 半導体チップ

4 チップ部品

40 5 弹性表面波素子

6 電気絶縁封止樹脂

7 端子電極

11 樹脂埋め用バット

12 電気絶縁封止用樹脂

13 素子整列用パレット

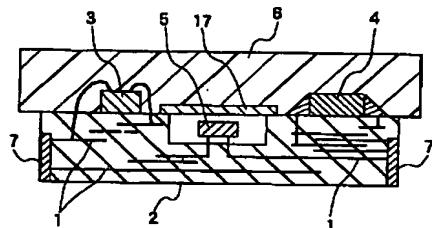
14 チップ部品実装面

15 突起部を有するキャリア板

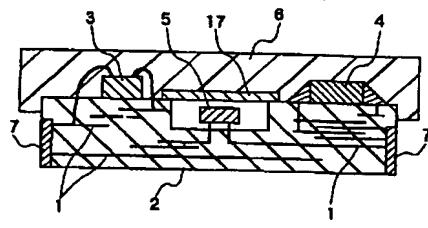
16 半導体チップ

17 金属製キャップ

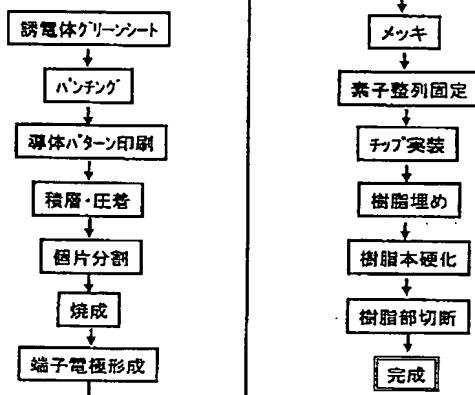
【図1】



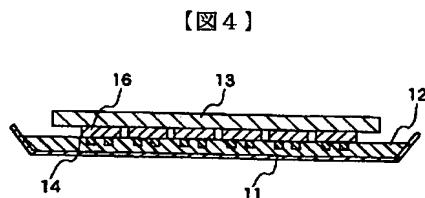
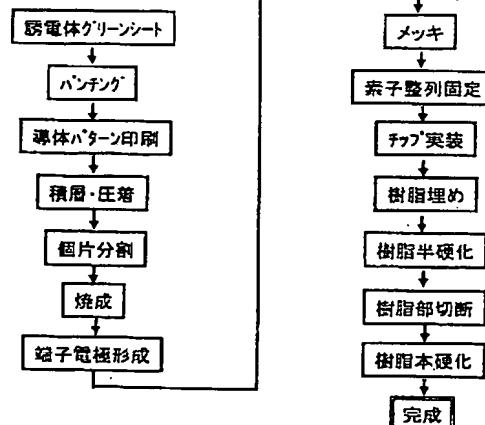
【図2】



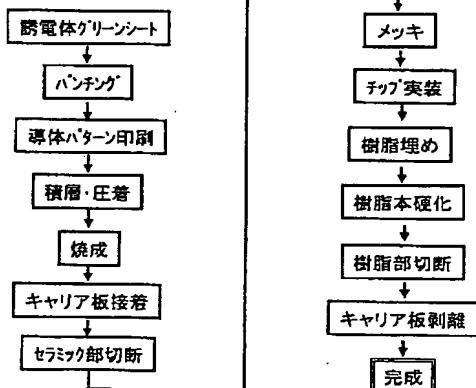
【図3】



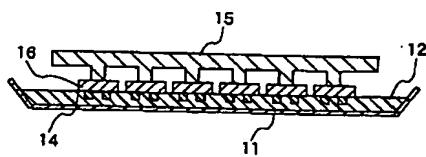
【図5】



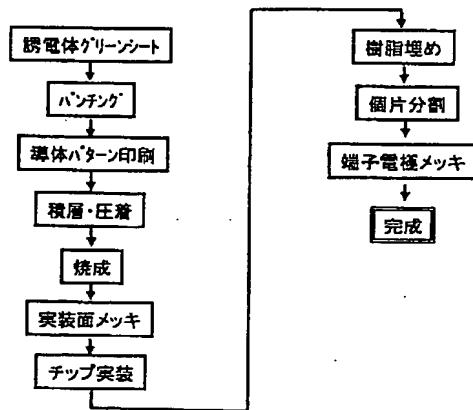
【図6】



【図7】



【図8】



フロントページの続き

(51) Int.CI.⁷

H 0 5 K 3/46

識別記号

F I
H 0 1 L 23/12

テーマコード(参考)

F
C
B

(72)発明者 山田 徹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中村 弘幸
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 瓜生 一英
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松村 勉
京都府京田辺市大住浜55番12 松下日東電
器株式会社内

F ターム(参考) 4M109 AA01 BA03 CA07 DB15
5E346 CC16 EE24 FF45 GG06 GG08
GG15 GG17 HH11 HH33
5F061 AA01 BA03 CA07 CB13